

2-2

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-283460

(43)Date of publication of application : 13.12.1991

(51)Int.Cl.

H01L 27/04  
H01L 21/3205  
H01L 21/82  
H01L 27/095

(21)Application number : 02-081020

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1990

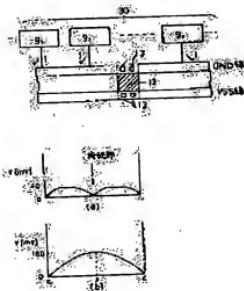
(72)Inventor : AOKI MASAMI  
SESHIMO TOSHIKI  
TERADA TOSHIYUKI  
KAMEYAMA ATSUSHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To sharply restrain a GND potential from rising up without changing a chip in area and wiring structure by a method wherein a reference potential wire and a power supply wire lower than the reference potential wire in potential are connected together in the chip or a circuit block through the intermediary of two terminal elements.

CONSTITUTION: A gate metal 12 is used as a resistor, and a GND wire and a Vss wire are connected together through a through-hole 13. A part of a GND current is made to flow through the Vss wire, and the potential of the GND wire at its joint with the Vss line is pulled by the potential of the Vss wire to drop. The total resistance of the GND wire is 9Ω. Fifteen circuit cells 93 are provided to both the sides of a gate metal joint respectively or 30 circuit cells 93 provided as a whole, and a GND current of 5mA flows in from each of the circuit cells 93. In a semiconductor device of conventional structure, the rise of potential is induced by a GND current and the resistance of the GND wire and the potential distribution can be shown by a Figure (a). When the center of the GND wire is connected with a gate metal, the potential of the GND wire at the center joint is reduced to 0V.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報 (A) 平3-283460

⑬ Int. Cl. 5  
H 01 L 27/04

識別記号

序内整理番号

⑭ 公開 平成3年(1991)12月13日

D

7514-4M  
6810-4M H 01 L 21/88  
8225-4M 21/82Z  
L※

審査請求 未請求 請求項の数 1 (全7頁)

## ⑮ 発明の名称 半導体装置

⑯ 特願 平2-81020

⑯ 出願 平2(1990)3月30日

⑰ 発明者 青木 正身 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 濱下 敏樹 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 寺田 俊幸 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 亀山 敦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑯ 出願人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

⑯ 代理人 弁理士 猪股 祥晃 外1名

最終頁に続く

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

基準電位線とこの基準電位線より低電位の電源線を有する半導体装置において、前記基準電位線と前記基準電位線より低電位の電源線とをチップ内部もしくは回路ブロック内部において2端子素子を介して接続することを特徴とする半導体装置。

## 3. 発明の詳細な説明

## (発明の目的)

## (産業上の利用分野)

本発明は、半導体装置に係り、特に、電源電圧を安定化した半導体論理集積回路に関するものである。

## (従来の技術)

近年コンピュータや通信機器のキーコンポーネントとして大規模集積回路 (LSI) のような半導体装置が、多用されている。情報量の増大に

伴い、LSIをはじめとする半導体装置は、益々高集積化及び高速化が図られている。なかでも化合物半導体、例えば、InPやGaAsを用いたLSIは、Siに比べて常温で数倍の電子移動度をもつため、次世代の超高速デバイスとして必須のものとなりつつある。これらのLSIは數ミリ～十数ミリ角の半導体基板上に電界効果型トランジスタや抵抗等を集積化して形成される。このうち、広く知られているGaAsのLSIについてその説明を行う。

第10図(a)は、表面のバッシャーベーション膜を除去した状態の斜視図である。また、第9図(b)はこの斜視図のA-A'断面を示す断面図である。

電位供給線(素子に定電位を供給する電線を總称して以下この様に呼ぶ)として、まず、電源線(以下、略称でVdd線という)は、GaAs基板1上に形成された電源用第1層配線6及び電源用第2層配線(これらで電源線が構成される)3を介して成る。

そしてこの電源線は、ピアメタル7<sub>1</sub>を介してパッド2に接続されている。もう一つの電位供給線であるGND線も、電源線と同様に、GND用第1層配線5及びGND用第2層配線4(以下單にGND線と称す)をピアメタル8<sub>1</sub>で接続してある。これも、ピアメタル8<sub>1</sub>を介してパッド2に接続されている。その他、9<sub>1</sub>は素子形成領域9<sub>1</sub>内に形成された素子例えばショットキーダート型電界効果トランジスタ(MESFET)であり、10はSiO<sub>2</sub>の層間絕縁膜である。

第10図(c)は素子形成領域9<sub>1</sub>のB-B'断面を示す断面図の第1層配線までを示したものであり、素子形成領域9<sub>1</sub>内には、信号線11とGND線5及び電源線6が平行に配置されている。このGND線5と電源線6は、素子形成領域9<sub>1</sub>をとり囲む電源線3及びGND線4に矢印接続されており、そのため素子形成領域9<sub>1</sub>は2つの領域9<sub>111</sub>、9<sub>112</sub>に分かれている。さらに、GND線5及び電源線6からはこれらの枝線(図示せず)が出ており、マトリックス状に素子形成領域9<sub>1</sub>中の回路プロ

ックをとり囲み、電源及びGND電位を各MESFET9<sub>1</sub>に均等に供給できるようになっている。

しかしながら、GaAsデジタル集積回路の場合には単位ゲート当りの消費電流が0.1~10mA程度と比較的大であるため、数千ゲート級のLSIでは数A以上の電源電流が流れ。すると電位供給線自体の抵抗に起因する電位降下が生じ、論理ゲートのノイズマージン(0.1~0.4V)とほぼ同程度の電位降下が生ずる。第11図に第10図(a)のB-B'断面に沿ったチップ内の電位線(V<sub>DD</sub>電位)及びGND電位変化の実測値を示す。このようにチップ中央部では、パッド付近に比較して実効的な電源電位が20%以上減少することもあり、電位供給線において生じた僅かな電位の変動がついには、回路の誤動作を引き起してしまった。

このため、一般にGaAsデジタル集積回路の電位供給線については、出来るだけ断面積の大きい抵抗の低い導電線を形成するようにしている。しかし、線幅を増加させるとチップ面上における電位供給線の占有面積が増大して高集積化が困難

になるという問題があった。

また、電位供給線の厚みを増すと、多層配線構造の場合は下地の段差が著しくなり、例えば、配線層の厚みが2μmを超えてしまい、これに起因して上下配線間のショートや断線が起りやすくなり製造歩留りが低下するという問題があった。

【発明が解決しようとする課題】

以上述べたように、従来の半導体論理回路、特に化合物半導体を用いた大規模集積回路では、電位供給線、特にGND線自体の抵抗に起因する電位浮上りによって、誤動作を引きこす欠点があった。また、これを防ぐためには大変太いGND線が要求されるため、LSIの十分な高集積化が困難になるという問題があった。

本発明は、この様な問題を解決したもので、電位降下を抑え、所望の電位を素子に供給することができる高集積化が容易な半導体装置を提供することを目的としている。

【発明の構成】

【課題を解決するための手段】

本発明は、基準電位線とこの基準電位線より低電位の電源線を有する半導体装置に関するものであり、前記基準電位線と前記基準電位線より低電位の電源線とをチップ内部もしくは回路ブロック内部において2端子素子を介して接続することを特徴としている。

例えば、半導体集積回路の内部において基準電位線であるGND線とこれより高電位の電源線(V<sub>DD</sub>)間に接続された素子群を備える際に、このGND線と基準電位線より低電位の電源線(以下、V<sub>SS</sub>線という)とを2端子素子を介して接続する。前記2端子素子は、予めチップ内に複数個形成して置き、その内の幾つかをGND線とV<sub>SS</sub>線との接続に選択することも可能である。

【作用】

本発明によれば、チップ内部もしくは回路ブロック内のいかなる場所においても0VのGND電位を作り出すことができる。また、このような0電位点をチップ内に1つもしくはそれ以上設けることにより、チップ内のGND電位の変動幅を

極めて小さく押さえることができ、その結果、大規模な集積回路においても、安定した回路動作を実現できる。

## (実施例1)

以下、本発明の一実施例を、図面を参照して説明する。

第1図は、本発明の実施例1の素子内の電位供給線を示す模式図を示している。本発明の特徴は、GND線とGND線より低電位であるV<sub>ss</sub>線を抵抗を介して接続することにある。GND線の両端は0Vに固定している。実施例1は、抵抗としてゲートメタル12を用い、GND線とV<sub>ss</sub>線とをスルーホール13を用いて接続する。したがってGND電流の整分の1/2が、V<sub>ss</sub>線に流れ込むと共に、接続部のGND線電位は、V<sub>ss</sub>電位に引張られ、電位低下を起こすことになる。

ここで、GND線の総抵抗は9Ωである。ゲートメタル接続部の両側にはそれぞれ15個合計30個の回路セル9<sub>1</sub>があり、1つの回路セル9<sub>1</sub>から5mAのGND電流I<sub>g</sub>が流れ込んでいる。ゲートメタ

ルは、たとえば、5~10Ω程度の耐熱性のWN<sub>x</sub>からなる。勿論、本発明は、この材料に限らず、WSi<sub>x</sub>、WAl<sub>x</sub>、WSiN、TaWSiの耐熱性合金およびTi/Pt/Auなる多層構造体等を用いることができる。

通常の構造では、GND電流とGND線の抵抗による電位浮上りが生じ、その電位分布は第2図(b)のようになる。この図は第10図(a)のB-B'断面に沿ってGND電位を測定したものである。電位が最も高い中央部では約160mV浮上してしまう。ところが、実施例1のようにGND線中央部をゲートメタルで接続することにより、第2図(a)のように、中央の接続部のGND電位を0Vに引下下すことができる。接続部の電位は、ゲートメタルの抵抗によって容易にコントロールすることができる。実施例1では抵抗が10Ωなるようにゲートメタルのディメンジョンを決定した。第3図に示す実施例1の等価回路を示すが、接続部の抵抗R<sub>int</sub>は、接続部を0Vにするために、次式が、

$$I_{int} = 2 \cdot I_g$$

なるよう決めればよい。

このように簡単な設計により、GND線とV<sub>ss</sub>線の接続部を0Vに引下すことにより、回路動作上極めて良好な特性を得ることができる。一般に、第1図で示したように抵抗(ここではGND線の抵抗)と電流源(ここでは回路セルからのGND電流)が、分布開数的に配置されている場合、GND電位の浮上りは、2次開数で近似できる(第2図(b)参照)。この際、最大の電位差は、トータル電流I<sub>T</sub>、トータル抵抗をR<sub>T</sub>とすれば、

$$\Delta V_{max} \approx \frac{1}{2} R_T I_T$$

で表すことができる。したがって、中央部の電位が、第2図(a)に示すように0Vに引下されるると、最大の浮上り電位差△V<sub>max</sub>は実に1/4の約40mVにすることができる。この方法以外で、浮上り幅を1/4にするためには、GND線の抵抗を1/4にする必要があるが、軸方向、厚さ方向に創的の雄しいLSIにおいては、この要求は

不可能に近い。

さらに、接続部の数は1つに限る必要はなく、複数にすることも容易である。第2図(c)に2ヶ所で接続した場合の電位分布図を示すと、最大浮上り電位差△V<sub>max</sub>は約18mVと1/9に減少できる。即ち、接続数をnとすれば

$$\Delta V_{max}(n) \approx \frac{1}{(n+1)^2} \cdot \Delta V_{max}(n=0)$$

が成り立ち、ドラマティックに浮上りを抑えることが可能である。

なお、以上の構造を採用することで、若干消費電力が増加するが、得られるメリットの方がはるかに大きい。また、接続数を増しても、消費電力の増加分は認められない。GND線やV<sub>ss</sub>線などの電位供給線材料としては、たとえばAuやTi/Pt/Auの複層体が使用される。

また、接続部のGND電位は必ずしも0Vにしなくともよく、回路が許容できる最小レベルに電位を引き戻すように、抵抗を設計してもよい。

一方、接続部V<sub>ss</sub>側ではV<sub>ss</sub>電位がGND電位

により若干引き上げられるが、 $V_{ss}$ 電圧マージンを十分にとつておくことで、この問題は回避できる。

実施例1の構造を得るためにには、ゲートメタルを、GND線、 $V_{ss}$ 線の直下に形成しておき、直接コンタクトをとるだけでよい。GND線、 $V_{ss}$ 線は、1層記録でも、2層配線でも良い。

本来、電位供給線の直下はデッドスペースであるためこのように、ゲートメタルを形成しても回路レイアウトには影響を与えることがない。

以上の構造を採用することにより、LSIの機能歩留りは30%上昇した。また、チップ温度上昇による誤動作の確率を50%に低減できた。

#### (実施例2)

次に、実施例2を示す。第4図は、その半導体装置の断面図である。抵抗として半導体基板内のイオン注入層を利用している。GaAs基板1上に形成されたGND線、 $V_{ss}$ 線の直下に、イオン注入層14を形成しておき、この注入層上に形成されたオーミックメタル15で、基板1上のSiO<sub>2</sub>層

をとり入れている。ここでは、クロックバッファセルを用いた例を示す。クロックバッファは、LSIの動作にとって最も重要なクロック信号の分配に用いられており、LSI中でGND電位の浮上した位置にクロックバッファがあると、回路動作上致命的な影響が出てしまう。そこで、実施例4に示すようにあらかじめクロックバッファをセル内に組み込んでおくことにより、チップ中のどの位置においても安定したクロック信号を出力することができる。これは自動レイアウトの自由度を増加させる点でも有効である。また、特定のセルにのみ、この構造を採用することで、消費電力の増加分を最小限に抑えることもできる。

#### (実施例5)

次に実施例5の $V_{ss}$ 線とGND線の配置構造を第7図に示す。実施例1で示した構造では、抵抗（以下、ブルダウン抵抗）の接続部で $V_{ss}$ 線1のレベルも若干上昇する。そこで、素子領域には接続しない $V_{ss}$ 線2を独立に配置した。これにより、 $V_{ss}$ 線2にGND電流が流れ込んだ場合でも

間隔数段に形成したスルーホール13を介して、 $V_{ss}$ 線、GND線とイオン注入層とのコンタクトをとればよい。

#### (実施例3)

次に実施例3を第5図に示す。第5図は、ゲートアレイの方式の論理集積回路の模式図であるが、GND線および $V_{ss}$ 線の直下にあらかじめ抵抗 $R_{int}$ を、チップ内部に分散して形成しておく。このようにすることで、チップ内部のGND電位の変化を小さく抑えることができる。また、使用するゲートの位置によっては、必ずしもすべての抵抗を接続する必要はなく抵抗をGND線および $V_{ss}$ 線に接続するため層間絶縁膜に設けるスルーホールの形成時に取扱選択をすることで最適化をはかることができる。

#### (実施例4)

次に、実施例4を第6図に示す。第4の実施例では、スタンダードセル方式によって構成される半導体論理集積回路において、特定のセル内部に実施例1で示した $V_{ss}$ 線とGND線の配置構造

回路動作への影響を防ぐことができる。

#### (実施例6)

次に実施例6の $V_{ss}$ 線とGND線の配置構造を第8図に示す。DCFL回路等では、電源が1つであるため、GNDレベルより低電位の電源がない。そこで、GNDレベルをブルダウンするため $V_{ss}$ 電源を加えた。この $V_{ss}$ 線とGND線とを抵抗でつなぐ。この $V_{ss}$ 電源は、素子には直接供給しないため、-0.5Vあるいは-0.3V程度でかまわない。GND電位との電位差を小さくすることで、消費電力の増加分を全消費電力の5%程度に抑えることができた。

#### (実施例7)

実施例1～6では、GND線と $V_{ss}$ 線を結ぶ2端子素子として、各種の抵抗を用いた例を挙げたが、これら抵抗に限らず、2端子能動素子を用いることも可能である。

第8図(a)は、ダイオードを用いた例。同図(b)は、ダイオードと抵抗を直列接続した例。同図(c)はダイオードと抵抗を並列接続した例。同図

(d)は、FETのゲート電極とソース電極を接続して定電流回路とした例。同図(e)は、同図(d)のFETとダイオードを直列に接続した例である。

なお、2端子素子(2端子回路も含む)の組合せは上記に限ることなく、第9図(a)乃至(e)の各素子を組合せた複合回路も本発明に適用できる。これらの2端子能動素子はGND線とV<sub>ss</sub>線との結合に利用しないときは、回路素子として利用する利点がある。

上記実施例ではGaAsのLSIについて述べたが、本発明はこれに限るものではなく、消費電力の比較的大きな高速用LSIの全てに適用できる。従って、形成母材もGaAsに限ることなくInPやAlGaAs等の化合物半導体を用いる事もできるし、また、SiやGe等のIV族半導体についても本発明は適用される。

#### 【発明の効果】

以上、本発明による2端子素子を組み込んだ半導体装置においては、チップ面積および配線構造を変えることなしに、すなわち、チップを大型化することなしに、

化することなしに、GND電位の浮上りを大幅に抑制でき、この効果は、配線の抵抗を下げることでは得られない程大きい。

さらにこの構造は既存のプロセスを利用して、簡単に、作ることができ、また設計も容易であるため、極めて安定した回路動作を確保した高性能な半導体装置を安価に実現できる。

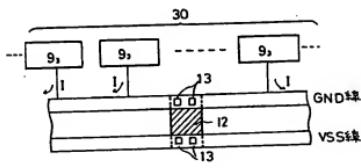
#### 4. 図面の簡単な説明

第1図は本発明の実施例1の半導体装置の電位供給線の配置を示す図、第2図(a),(b),(c)は実施例1におけるGND線の電位分布の実験図、第3図は実施例1の等価回路図、第4図は実施例2の半導体装置の電位供給線の配置を示す図、第5図は実施例3の半導体装置の電位供給線の配置を示す図、第6図は実施例4の説明図、第7図は実施例5の説明図、第8図は実施例6の説明図、第9図(a)乃至(e)は実施例7に使われる2端子能動素子の模式図、第10図(a)は従来の半導体装置の斜視図、同図(b)はそのA-A'断面図、同図(c)はそのB-B断面図、第11図は従来のチップ

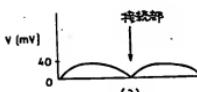
内断面方向の電位分布の実験値を示す図である。

- 1…半絶縁性GaAs基板、 2…パッド、
- 3…電源用第2層配線、
- 4…GND用第2層配線、
- 5…GND用第1層配線、
- 6…電源用第1層配線、7, 8…ビアメタル、
- 9<sub>1</sub>…素子形成領域、 9<sub>2</sub>…回路セル、
- 9<sub>3</sub>…MESFET(素子)、 10…層間絶縁膜、
- 11…信号線、 12…ゲートメタル、
- 13…スルーホール、 14…イオン注入層、
- 15…オーミックメタル。

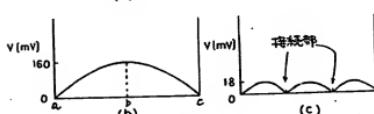
代理人 弁理士 猪股祥晃(ほか1名)



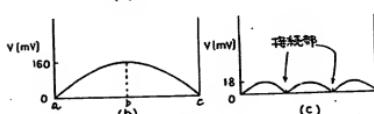
第1図



(a)

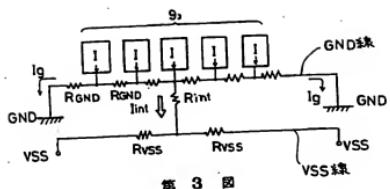


(b)

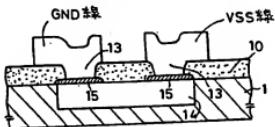


(c)

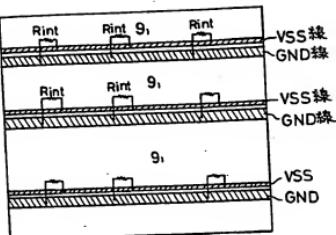
第2図



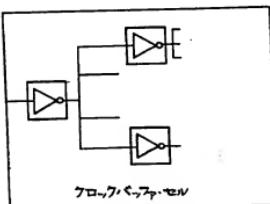
第3図



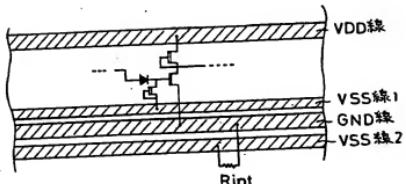
第4図



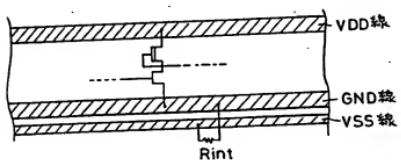
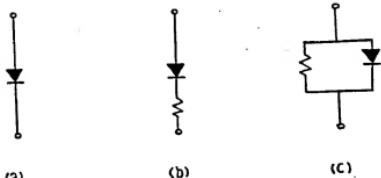
第5図



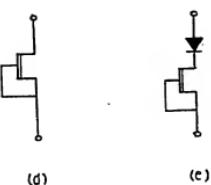
第6図



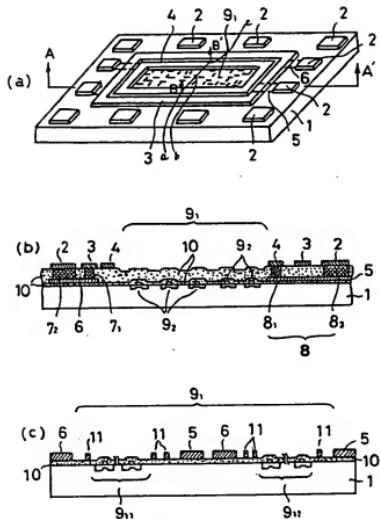
第7図



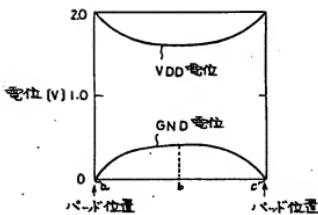
第8図



第9図



第 10 図



第 11 図

第1頁の続き

⑤Int. Cl. 5

識別記号

府内整理番号

H 01 L 21/3205  
21/82  
27/095

7735-4M H 01 L 29/80

E